

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

F. Hayashi
Filed 5/25/01

Q62964

#27 PD 5/25/01
8/2/01

JP68 U.S.
09/864259



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月25日

出 願 番 号

Application Number:

特願2000-154561

出 願 人

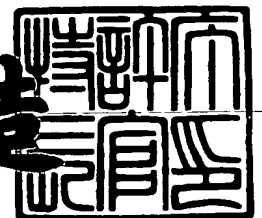
Applicant (s):

日本電気株式会社

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3001787

【書類名】 特許願

【整理番号】 74112271

【提出日】 平成12年 5月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247
H01L 29/788

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 林 文彦

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100086645

 【弁理士】

 【氏名又は名称】 岩佐 義幸

 【電話番号】 03-3861-9711

【手数料の表示】

 【予納台帳番号】 000435

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001715

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】

自己整合プロセスによりソース領域が形成されたメモリセル部を有する半導体記憶装置であって、

前記ソース領域の表面の一部に、前記ソース領域のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を有することを特徴とする半導体記憶装置。

【請求項 2】

前記シリサイド化阻止部は、前記ソース領域の表面に形成される段差部に設けられることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記メモリセル部と共に設けられたソースコンタクト部はシリサイド化されることを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記シリサイド化阻止部は、基板上に積層されたフローティングゲート及びコントロールゲートの全面を絶縁膜で覆って形成されていることを特徴とする請求項 1 から 3 のいずれかに記載の半導体記憶装置。

【請求項 5】

前記シリサイド化阻止部は、基板上に積層されたフローティングゲート及びコントロールゲートの側面に形成された、絶縁膜からなるサイドウォールによって形成されていることを特徴とする請求項 1 から 3 のいずれかに記載の半導体記憶装置。

【請求項 6】

前記サイドウォールは、第 1 のサイドウォールと第 2 のサイドウォールを合わせて形成されることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】

前記第 1 のサイドウォールは、周辺トランジスタ部のゲート側面に形成される

前記第 2 のサイドウォールとは別に、前記メモリセル部に予め形成されることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

自己整合プロセスによりソース領域が形成されたメモリセル部を有する半導体記憶装置の製造方法であって、

前記ソース領域の表面の一部に、前記ソース領域のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を形成する、マスクプロセスを有することを特徴とする半導体記憶装置の製造方法。

【請求項 9】

前記マスクプロセスにより、前記ソース領域の表面に形成される段差部に前記シリサイド化阻止部が設けられることを特徴とする請求項 8 に記載の半導体記憶装置の製造方法。

【請求項 10】

前記メモリセル部と共に設けられたソースコンタクト部をシリサイド化することを特徴とする請求項 8 または 9 に記載の半導体記憶装置の製造方法。

【請求項 11】

前記マスクプロセスにより、基板上に積層されたフローティングゲート及びコントロールゲートの全面を酸化膜で覆って、前記シリサイド化阻止部が形成されることを特徴とする請求項 8 から 10 のいずれかに記載の半導体記憶装置の製造方法。

【請求項 12】

前記マスクプロセスを、ゲートサイドウォール形成プロセスを利用して行うことを特徴とする請求項 8 から 11 のいずれかに記載の半導体記憶装置の製造方法。

【請求項 13】

前記ゲートサイドウォール形成プロセスが、前記メモリセル部での 2 回目のゲートサイドウォール形成プロセスであり、且つ、周辺トランジスタ部での 1 回目のゲートサイドウォール形成プロセスであることを特徴とする請求項 12 に記載の半導体記憶装置の製造方法。

【請求項 1 4】

シリコン基板上に、素子分離酸化膜、トンネル酸化膜、フローティングゲートとなる 1 層目のポリシリコン、容量絶縁膜、周辺トランジスタ部のゲート酸化膜、コントロールゲート及び周辺トランジスタ部のゲート電極となる 2 層目のポリシリコンを形成する工程と、

周辺トランジスタ部を覆い、メモリセル部のゲート電極を形成するためのマスクを形成し、2 層目のポリシリコン、容量絶縁膜、1 層目のポリシリコンを順次エッチングしてメモリセル部のゲート電極を形成する工程と、

メモリセルのドレイン部を覆いソース側は開口したマスクを形成し、このマスクとメモリセル部のゲート電極をマスクとしてソース側の素子分離酸化膜を除去する工程と、

メモリセル部のソース・ドレイン拡散層を形成する工程と、

第 1 の絶縁膜を堆積、エッチバックして第 1 のサイドウォールを形成する工程と、

メモリセル部を覆い、且つ、周辺トランジスタ部のゲート電極を形成するためのマスクを形成し、2 層目のポリシリコンをエッチングして周辺トランジスタ部のゲート電極を形成する工程と、

第 2 の絶縁膜を堆積し、第 1 のサイドウォールと合わせてソース側におけるメモリセル部のゲート電極同士のスペースを埋め込み、エッチバックして第 2 のサイドウォールを形成する工程と、

周辺トランジスタ部のソース・ドレイン拡散層を形成する工程と、

メモリセル部のソース拡散層を除く拡散層上及びゲート電極上をシリサイド化する工程と

を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置およびその製造方法に関し、特に、シリサイド構造を有するフラッシュメモリおよびその製造方法に関する。

【0002】

【従来の技術】

図18は、従来のフラッシュメモリセルアレイの等価回路図である。図18に示すように、フラッシュメモリ1は、複数のメモリセル1aと、Xデコーダ1bと、Yデコーダ及びセンスアンプ1cとを有している。

【0003】

各メモリセル1aを構成するトランジスタのゲート電極は、ワード線WL（WL1～WL4のみ図示）に接続され、ドレイン側はドレインコンタクト2を介してビット線BL（BL1～BL3のみ図示）に、ソース側はソースコンタクト3を介してソース線SLに、それぞれ接続されている。

【0004】

また、各ワード線WLはXデコーダ1bに、各ビット線BLはYデコーダ及びセンスアンプ1cに、それぞれ接続されており、各メモリセル1aは、ワード線WLにより選択指定され、ビット線BLを介して情報の入出力が行われる。

【0005】

図19は、図18のメモリセルの一部を示す平面説明図である。図19に示すように、メモリセル1aを構成するトランジスタは、ドレインコンタクト2を挟んでその両側に位置するように配置されている。このドレインコンタクト2は、ドレイン拡散層4aに設けられ、隣接するワード線WLの間には、ソース拡散層4bが設けられている。

【0006】

図20は、フラッシュメモリの一般的な製造工程を説明する図19のA-A線に沿う断面図及びB-B線に沿う断面図である。図20に示すように、フラッシュメモリ1を製造する場合、先ず、P型のシリコン基板5に、素子分離酸化膜5a及びトンネル酸化膜5bを形成し、更に、フローティングゲート5c、容量絶縁膜5d、コントロールゲート5eを順次積層し、シリコン基板5上にトランジスタ6を形成する（（a）参照）。

【0007】

次に、ソース部のみを開口するようにフォトレジスト7でパターニングし（（

b) 参照)、素子分離酸化膜 5 a をエッチングした後、イオン注入により、隣接する 2 個のトランジスタ 6 に共通のソース拡散層 4 b、続いてドレイン拡散層 4 a を形成する ((c) 参照)。

【0008】

このようなプロセスによって形成される構造は、自己整合ソース構造と呼ばれ、各メモリセル毎にソースコンタクトを設けずに済み、アライメント余裕等が不要となるため、メモリセルサイズを小さくすることができる。

【0009】

次に、各トランジスタ 6 の両側面にサイドウォール 8 を形成し ((d) 参照)、その後、露出したドレイン拡散層 4 a、ソース拡散層 4 b 及びコントロールゲート 5 e の各表面をシリサイド膜 9 で覆い、シリサイド化する。

【0010】

ところで、シリサイド層は、高融点金属と基板との合金形成反応により形成することができ、例えば、チタン (Ti) を用いた公知のサリサイド (self-aligned silicide: SALICIDE) プロセスを用いて、形成することができる。

【0011】

このサリサイドプロセスは、例えばゲート電極とサイドウォールを形成後、ソース・ドレイン用の不純物を注入してアニールを行い、この後、チタンを例えば 100 nm スパッタリングし、700℃程度のアニールを行ってシリサイド化し、未反応のチタンを除去する。これにより、拡散層は容易にシリサイド構造になる (特開平 8-330453 号公報参照)。

【0012】

このように、拡散層、ゲート表面をシリサイド化することは、寄生抵抗を低減し微細且つ高速なデバイスを実現する上で、特に、ランダム・ロジック LSI (large scale integrated circuit) において、必須である。

【0013】

【発明が解決しようとする課題】

しかしながら、メモリセル 1 a のソース領域は、ゲートに挟まれて非常に狭いことからスパッタ膜が入り難く、応力によりシリサイド化が阻害されるため、抵抗のばらつきをもたらしてしまう。また、素子分離酸化膜 5 a 及びトンネル酸化膜 5 b をエッチングした際に段差が生じるため、この段差部 L を覆ってシリサイド膜 9 を形成することにより（図 20（e）参照）、段差部 L でシリサイド膜 9 が断線し易く、断線による抵抗のばらつきが発生してしまう。

【0014】

この発明の目的は、メモリセルのソース領域のシリサイド化を行わないことで、シリサイド化が阻害されることによる抵抗のばらつきを無くすと共に、段差部でのシリサイド膜断線による抵抗のばらつきを発生させない半導体記憶装置およびその製造方法を提供することである。

【0015】

【課題を解決するための手段】

上記目的を達成するため、この発明に係る半導体記憶装置は、自己整合プロセスによりソース領域が形成されたメモリセル部を有する半導体記憶装置であって、前記ソース領域の表面の一部に、前記ソース領域のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を有することを特徴としている。

【0016】

上記構成を有することにより、自己整合プロセスによりソース領域が形成されたメモリセル部を有する半導体記憶装置は、ソース領域の表面の一部に、ソース領域のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を有することになる。これにより、メモリセルのソース領域のシリサイド化が行われないので、シリサイド化が阻害されることによる抵抗のばらつきを無くすと共に、段差部でのシリサイド膜断線による抵抗のばらつきを発生させない。

【0017】

また、この発明に係る半導体記憶装置の製造方法により、上記半導体記憶装置を製造することができる。

【0018】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、この発明の第 1 の実施の形態に係る半導体記憶装置の一部を示す平面説明図である。図 1 に示すように、半導体記憶装置 1 0 は、フラッシュメモリ（不揮発性記憶装置）が混載されたランダム・ロジック L S I であり、メモリセル部 1 1、ソースコンタクト部 1 2 及び周辺トランジスタ部 1 3 を有している。

【 0 0 1 9 】

このメモリは、N O R 型のフラッシュメモリであり、等価回路図は、前述した従来のフラッシュメモリセルアレイ（図 1 8 参照）と同様である。

【 0 0 2 0 】

各メモリセルを構成するトランジスタのゲート電極は、ワード線 W L に接続され、ドレイン側はドレインコンタクトを介してビット線 B L に、ソース側はソースコンタクトを介してソース線 S L に、それぞれ接続されている。また、各ワード線 W L は X デコーダに、各ビット線 B L は Y デコーダ及びセンスアンプに、それぞれ接続されており、各メモリセルは、ワード線 W L により選択指定され、ビット線 B L を介して情報の入出力が行われる（図 1 8 参照）。

【 0 0 2 1 】

メモリセル部 1 1 を構成するトランジスタは、ドレイン拡散層 1 4 に設けられたドレインコンタクト 1 5 を挟んで、その両側に位置するように設けられており、ソース拡散層 1 6 を挟んで隣接するワード線 W L に接続されたフローティングゲート 1 7 及びコントロールゲート 1 8 を有している。

【 0 0 2 2 】

ソースコンタクト部 1 2 は、ソース拡散層 1 6 に設けられたソースコンタクト 1 9 の両側に位置している。また、周辺トランジスタ部 1 3 を構成するトランジスタは、周辺拡散層 2 0 に設けられた周辺コンタクト 2 1 の間に位置しており、周辺回路の配線に接続する周辺ゲート 2 2 を有している。

【 0 0 2 3 】

図 2 は、図 1 のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、C - C 線、D - D 線及び E - E 線に沿う断面図である。

【0024】

図2に示すように、メモリセル部11は、シリコン基板23に、ドレイン拡散層14及びソース拡散層16を形成すると共に、シリコン基板23上に、トンネル酸化膜24、フローティングゲート17、容量絶縁膜25、コントロールゲート18を順次積層したトランジスタ26を有している。

【0025】

トランジスタ26は、全面を覆う酸化膜27を介してBPSSG (boro-phospho silicate glass film) 膜からなる層間膜28で覆われており、層間膜28には、ドレイン拡散層14とビット線BLに接続されたドレインコンタクト15が開けられている。

【0026】

また、ソースコンタクト部12は、シリコン基板23に、ドレイン拡散層14及びソース拡散層16を形成すると共に、シリコン基板23上に、トンネル酸化膜24、フローティングゲート17、容量絶縁膜25、コントロールゲート18を順次積層している。

【0027】

これらトンネル酸化膜24、フローティングゲート17、容量絶縁膜25、コントロールゲート18からなる積層部29は、フローティングゲート17及びコントロールゲート18の各側面にサイドウォール30を、ドレイン拡散層14、ソース拡散層16及びコントロールゲート18の各上面にシリサイド膜31をそれぞれ有すると共に、層間膜28で覆われている。

【0028】

この層間膜28には、ソース線SLとシリサイド膜31を介してソース拡散層16に接続されたソースコンタクト15が開けられている。

【0029】

また、周辺トランジスタ部13は、シリコン基板23に、例えば、LOCOS (local oxidation of silicon) 分離による素子分離酸化膜32及び周辺拡散層20を形成すると共に、シリコン基板23上に、トンネル酸化膜24、周辺ゲート22を順次積層したトランジスタ33を有してい

る。

【0030】

トランジスタ33は、周辺ゲート22の側面にサイドウォール30を、周辺拡散層20及び周辺ゲート22の各上面にシリサイド膜31をそれぞれ有すると共に、層間膜28で覆われている。この層間膜28には、周辺配線34とシリサイド膜31を介して周辺拡散層20に接続された周辺コンタクト21が開けられている。

【0031】

図3から図7は、図1の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その1～5）である。

【0032】

図3から図7に示すように、先ず、P型のシリコン基板23に、周知の選択酸化法、若しくは基板に溝を形成し酸化膜を埋め込む溝分離法により、約200～600nmの厚さの素子分離酸化膜32を形成する（図3（a）参照）。

【0033】

ここで、素子分離酸化膜32の形成前後において、シリコン基板23のPウェル形成領域にP型不純物、Nウェル形成領域にN型不純物をイオン注入し、約1000～1200℃の熱処理を施して、表面濃度が約 $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ の深いPウェル、Nウェルを形成し、或いは表面濃度が約 $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ の浅いPウェル、Nウェルを形成しても良い。

【0034】

また、素子分離酸化膜32の形成後、トンネル酸化膜24、1層目ポリシリコン35、及びONO（Oxide Nitride Oxide）膜からなる容量絶縁膜25を、記載順に積層する（図3（a）参照）。

【0035】

トンネル酸化膜24は、熱酸化法により厚さ約8～15nmに形成する。1層目ポリシリコン35は、減圧CVD（low pressure chemical vapor deposition：LPCVD）法により、約100～300nmの厚さに堆積する。

【0036】

この1層目ポリシリコン35に、約 $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度となるように、リン(P)又はヒ素(As)等のN型不純物を導入する。不純物の導入は、堆積後イオン注入法によってもよいし、堆積中にホスフィン(PH_3)等のガスを混合するin-situドーピング(in-situ doping)法によっても良い。これを、ワード線WLの垂直方向に走るストライプ状にパターンニングしておく。

【0037】

容量絶縁膜(ONO膜)25は、例えば、LPCVD法により、それぞれ約4～10nmの厚さの酸化膜、窒化膜、酸化膜を順次堆積して形成する。

【0038】

次に、メモリセル部11及びソースコンタクト部12をフォトレジスト36aで覆って、周辺トランジスタ部13を開口し、容量絶縁膜25、1層目ポリシリコン35膜及びトンネル酸化膜24を、順次エッチングして、周辺トランジスタ部13のシリコン基板23を露出させる(図3(b)参照)。

【0039】

次に、熱酸化法により、約1～40nmの厚さの周辺ゲート酸化膜37を形成する(図4(c)参照)。このとき、酸化後に厚い酸化膜を形成する領域をフォトレジストで覆って、薄い酸化膜を形成する領域の酸化膜を除去し、フォトレジストを除去した後に再び酸化、という操作を繰り返し、使用電圧に応じ異なる膜厚の酸化膜を形成する、マルチオキサイドプロセスを設けても良い。

【0040】

また、LPCVD法により、約100～300nmの厚さの2層目ポリシリコン38を堆積する(図4(c)参照)。これに約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度に、リン(P)又はヒ素(As)等のN型不純物を導入する。不純物の導入法は、堆積後イオン注入法によってもよいし、堆積中にホスフィン(PH_3)等のガスを混合するIn-Situドーピング法によっても良い。

【0041】

次に、周辺トランジスタ部13を覆って、メモリセル部11及びソースコンタ

クト部12に、フォトレジスト36bを形成し、2層目ポリシリコン38、容量絶縁膜25、1層目ポリシリコン35を順次エッチングすることにより、コントロールゲート18及びフローティングゲート17を形成する（図4（d）参照）。

【0042】

1層目ポリシリコン35は、予めワード線WLの垂直方向に走るストライプ状にパターニングしてあるので、フローティングゲート17は、ここでワード方向とビット方向の両方共に分断され、メモリセル毎にアイランド状となる。

【0043】

次に、ソース領域のみを開口するようにフォトレジスト36cを形成し、ドライエッチングにより、この開口部の素子分離酸化膜32を除去して、シリコン基板23を露出させる（図5（e）参照）。

【0044】

次に、イオン注入によりリン（P）又はヒ素（As）を導入し、コントロールゲート18と素子分離酸化膜32に対し、自己整合的に、約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度を持つ、メモリセル部11及びソースコンタクト部12の各ソース拡散層16とドレイン拡散1層14を形成する（図5（f）参照）。

【0045】

次に、メモリセル部11及びソースコンタクト部12を覆って、周辺トランジスタ部13にフォトレジスト36dのパターンを形成し、2層目ポリシリコン38をエッチングすることにより、周辺ゲート22を形成する（図6（g）参照）。

【0046】

次に、周辺トランジスタ部13の所定の部分が開口したフォトレジスト（図示しない）を形成し、イオン注入法により、周辺ゲート22及び素子分離酸化膜32に、自己整合的に、約 $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度を持つ周辺LD（lightly doped drain）拡散層39を形成する。

【0047】

必要に応じ、Nチャネルトランジスタ及びPチャネルトランジスタのそれぞれ

に対して、この工程を設ける。Nチャネルトランジスタの場合はリン（P）又はヒ素（As）、Pチャネルトランジスタの場合はホウ素（B）又はフッ化ホウ素（ BF_2 ）を、イオン注入する。

【0048】

そして、メモリセル部11、ソースコンタクト部12及び周辺トランジスタ部13の全面に、約50～200nmの厚さの酸化膜27を、LPCVD法により堆積する（図6（h）参照）。

【0049】

次に、メモリセル部11のみを覆うフォトレジスト36eを形成し、異方性ドライエッチングにより、酸化膜27をエッチバックし、ソースコンタクト部12のコントロールゲート18とフローティングゲート17、及び周辺トランジスタ部13の周辺ゲート22の各側面に、サイドウォール30を形成する（図7（i）参照）。

【0050】

次に、周辺トランジスタ部13の所定の部分が開口したフォトレジスト36fを形成し、イオン注入法により不純物iを打ち込んで、サイドウォール30と素子分離酸化膜32に対し、自己整合的に、約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度を持つ周辺拡散層20を形成する（図7（j）参照）。

【0051】

Nチャネルトランジスタ及びPチャネルトランジスタのそれぞれに対し、この工程を設ける。Nチャネルトランジスタの場合はリン（P）又はヒ素（As）、Pチャネルトランジスタの場合はホウ素（B）又はフッ化ホウ素（ BF_2 ）を、イオン注入する。

【0052】

次に、短時間のウェット酸化膜エッチングにより、自然酸化膜を除去した後、例えばチタン（Ti）やコバルト（Co）等の高融点金属を、スパッタ法等により約10～30nmの厚さに堆積し、約600～700℃で数10秒間の急速加熱を行う。

【0053】

これにより、シリコンと高融点金属を反応させてシリサイド化した後、未反応の高融点金属を除去して、約 7 5 0 ~ 8 5 0 ° C で数 1 0 秒間の急速加熱を行い、シリサイドを低抵抗化する。

【 0 0 5 4 】

このシリサイドプロセスにより、メモリセル部 1 1 を除く、ソースコンタクト部 1 2 のコントロールゲート 1 8、ドレイン拡散層 1 4、ソース拡散層 1 6、及び周辺トランジスタ部 1 3 の周辺ゲート 2 2 と周辺拡散層 2 0 の各上面が、自己整合的にシリサイド化され、これら各上面にシリサイド膜 3 1 が形成される（図 7 (k) 参照）。

【 0 0 5 5 】

次に、約 1 0 0 ~ 2 0 0 n m の厚さのアンダーコート酸化膜、及び約 5 0 0 ~ 1 0 0 0 n m の厚さの B P S G 膜を堆積して、CMP (chemical mechanical polishing) 法等により平坦化し、層間膜 2 8 を形成する。

【 0 0 5 6 】

層間膜 2 8 の形成後、フォトリソグラフィにより、メモリセル部 1 1 のドレインコンタクト 1 5、ソースコンタクト部 1 2 のソースコンタクト 1 9、及び周辺トランジスタ部 1 3 の周辺コンタクト 2 1 を開口し、チタン (Ti)、窒化チタン (TiN) 等のバリアメタルを形成して、タンゲステン (W) 等を埋め込む。その後、アルミニウム (Al) 等によるビット線 BL、ソース線 SL 及び周辺配線 3 4 を形成する（図 2 参照）。

【 0 0 5 7 】

従って、ソース拡散層 1 6 の表面の一部に、ソース拡散層 1 6 のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部が形成されることになる。

【 0 0 5 8 】

このように、この第 1 の実施の形態においては、マスクプロセスにより、メモリセル部 1 1 のソース領域のシリサイド化が行われない。従って、シリサイド化が阻害されることによる抵抗のばらつきが発生せず、また、段差部でのシリサイ

ド膜断線による抵抗のばらつきも発生させない。このようなマスクプロセスを容易、且つ、簡便に行うことができる。

(第2の実施の形態)

図8は、第2の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、図2と同様の断面図である。

【0059】

図8に示すように、第2の実施の形態にかかる半導体記憶装置の場合、メモリセル部11のコントロールゲート18、容量絶縁膜25及びフローティングゲート17のドレイン側の側面に、サイドウォール30が形成されていると共に、ドレイン拡散層14及びコントロールゲート18の各上面にシリサイド膜31が形成されている。その他の構成及び作用は、第1の実施の形態にかかる半導体記憶装置10（図2参照）と同様である。

【0060】

図9及び図10は、図8の半導体記憶装置の製造工程を説明する、図3から図7と同様の断面図である。この実施の形態の場合、第1の実施の形態における図3(a)から図6(h)迄の工程を、同様に行う。従って、それ以降の工程を以下に説明する。

【0061】

図9及び図10に示すように、まず、メモリセル部11のソース拡散層16のみを覆うフォトリソグ36gを形成する（図9(a)参照）。

【0062】

次に、異方性ドライエッチングにより、酸化膜27をエッチバックし、メモリセル部11のコントロールゲート18、容量絶縁膜25とフローティングゲート17のドレイン側、ソースコンタクト部12のコントロールゲート18、容量絶縁膜25とフローティングゲート17の両側、及び周辺トランジスタ部13の周辺ゲート22の両側、の各側面にサイドウォール30を形成する（図9(b)参照）。

【0063】

これにより、第1の実施の形態の場合と異なり、メモリセル部11のコントロ

ールゲート 1 8 及びドレイン拡散層 1 4 の上面が露出する（図 9（b）参照）。

【 0 0 6 4 】

次に、第 1 の実施の形態と同様に、周辺トランジスタ部 1 3 の所定の部分が開口したフォトレジスト 3 6 f を形成し、イオン注入法により不純物 i を打ち込んで、サイドウォール 3 0 と素子分離酸化膜 3 2 に対し、自己整合的に、約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度を持つ、周辺拡散層 2 0 を形成する（図 1 0（c）参照）。

【 0 0 6 5 】

Nチャネルトランジスタ、Pチャネルトランジスタそれぞれに対し、この工程を設ける。Nチャネルトランジスタの場合はリン（P）又はヒ素（As）、Pチャネルトランジスタの場合はホウ素（B）又はフッ化ホウ素（ BF_2 ）を、イオン注入する。

【 0 0 6 6 】

次に、第 1 の実施の形態と同様に、サリサイドプロセスにより、メモリセル部 1 1 のソース拡散層 1 6 を除いて、メモリセル部 1 1 のコントロールゲート 1 8、ドレイン拡散層 1 4、ソースコンタクト部 1 2 のコントロールゲート 1 8、ドレイン拡散層 1 4、ソース拡散層 1 6、及び周辺トランジスタ部 1 3 の周辺ゲート 2 2 と周辺拡散層 2 0 の各上面を、自己整合的にシリサイド化し、これら各上面にシリサイド膜 3 1 を形成する（図 1 0（d）参照）。

【 0 0 6 7 】

次に、第 1 の実施の形態と同様に、層間膜 2 8 の形成後、メモリセル部 1 1 のドレインコンタクト 1 5、ソースコンタクト部 1 2 のソースコンタクト 1 9、及び周辺トランジスタ部 1 3 の周辺コンタクト 2 1 を開口し、チタン（Ti）、窒化チタン（TiN）等のバリアメタルを形成して、タングステン（W）等を埋め込む。その後、アルミニウム（Al）等によるビット線 BL、ソース線 SL 及び周辺配線 3 4 を形成する（図 8 参照）。

【 0 0 6 8 】

このように、この第 2 の実施の形態においては、上記第 1 の実施の形態において得られる効果に加えて、メモリセル部 1 1 のゲート上をシリサイド化すること

ができる。これにより、ゲート抵抗が低減し、ドレイン抵抗の低減をもたらし、アクセス速度を速くすることができる。

(第3の実施の形態)

図11は、第3の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、図2と同様の断面図である。

【0069】

図11に示すように、第3の実施の形態にかかる半導体記憶装置の場合、メモリセル部11のソース領域を埋め込むようにサイドウォール30が形成されている。その他の構成及び作用は、第2の実施の形態にかかる半導体記憶装置10（図8参照）と同様である。

【0070】

図12及び図13は、図11の半導体記憶装置の製造工程を説明する、図3から図7と同様の断面図である。この実施の形態の場合、第1の実施の形態における図3(a)から図6(g)迄の工程を同様に行う。従って、それ以降の工程を以下に説明する。

【0071】

図12及び図13に示すように、まず、メモリセル部11、ソースコンタクト部12及び周辺トランジスタ部13の全面に、約50～300nmの厚さの酸化膜27を、LPCVD法により堆積する（図12(a)参照）。

【0072】

このとき、メモリセル部11のソース領域が、この酸化膜27により埋め込まれるように、隣接するトランジスタ26、30間のソース領域の幅、及び堆積する酸化膜27の膜厚を設定する。

【0073】

次に、異方性ドライエッチングにより、酸化膜27を全面エッチバックし、メモリセル部11のコントロールゲート18とフローティングゲート17の両側、ソースコンタクト部12のコントロールゲート18とフローティングゲート17の両側、及び周辺トランジスタ部13の周辺ゲート22の両側、の各側面にサイ

ドウオール30を形成する(図12(b)参照)。このとき、メモリセル部11のソース領域は、このサイドウォール30で埋め込まれる。

【0074】

次に、第1の実施の形態と同様に、周辺トランジスタ部13の所定の部分が開口したフォトレジスト36fを形成し、イオン注入法により不純物iを打ち込んで、サイドウォール30と素子分離酸化膜32に対し、自己整合的に、約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度を持つ、周辺拡散層20を形成する(図13(c)参照)。

【0075】

Nチャネルトランジスタ、Pチャネルトランジスタそれぞれに対し、この工程を設ける。Nチャネルトランジスタの場合はリン(P)又はヒ素(As)、Pチャネルトランジスタの場合はホウ素(B)又はフッ化ホウ素(BF_2)を、イオン注入する。

【0076】

次に、第2の実施の形態と同様に、サリサイドプロセスにより、メモリセル部11のソース拡散層16を除いて、メモリセル部11のコントロールゲート18、ドレイン拡散層14、ソースコンタクト部12のコントロールゲート18、ドレイン拡散層14、ソース拡散層16、及び周辺トランジスタ部13の周辺ゲート22と周辺拡散層20の各上面が、自己整合的にシリサイド化され、これら各上面にシリサイド膜31が形成される(図13(d)参照)。

【0077】

次に、第1の実施の形態と同様に、層間膜28の形成後、メモリセル部11のドレインコンタクト15、ソースコンタクト部12のソースコンタクト19、及び周辺トランジスタ部13の周辺コンタクト21を開口し、チタン(Ti)、窒化チタン(TiN)等のバリアメタルを形成して、タングステン(W)等を埋め込む。その後、アルミニウム(Al)等によるビット線BL、ソース線SL及び周辺配線34を形成する(図11参照)。

【0078】

このように、この第3の実施の形態においては、上記第2の実施の形態におい

て得られる効果に加えて、メモリセル部 1 にシリサイド膜が形成されないようにする特別なマスクを必要としない。即ち、メモリセル部 1 1 のドレイン拡散層 1 4 及びコントロールゲート 1 8 は、自己整合的にシリサイド化される。

(第 4 の実施の形態)

図 1 4 は、第 4 の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、図 2 と同様の断面図である。

【 0 0 7 9 】

図 1 4 に示すように、第 4 の実施の形態にかかる半導体記憶装置の場合、メモリセル部 1 1 のソース領域に埋め込まれるサイドウォールが 2 回に分けて形成されている。即ち、メモリセル部 1 1 及びソースコンタクト部 1 2 に、それぞれ第 1 サイドウォール 4 0 が形成され、この第 1 サイドウォール 4 0、及び周辺トランジスタ部 1 3 の周辺ゲート 2 2 の側面に、第 2 サイドウォール 4 1 が形成される。その他の構成及び作用は、第 3 の実施の形態にかかる半導体記憶装置 1 0 (図 2 参照) と同様である。

【 0 0 8 0 】

図 1 5 から図 1 7 は、図 1 4 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図 (その 1 ~ 3) である。この実施の形態の場合、第 1 の実施の形態における図 3 (a) から図 5 (f)迄の工程を同様に行う。従って、それ以降の工程を以下に説明する。

【 0 0 8 1 】

図 1 5 から図 1 7 に示すように、先ず、LPCVD 法により、メモリセル部 1 1、ソースコンタクト部 1 2 及び周辺トランジスタ部 1 3 の全面に、約 5 0 ~ 2 0 0 n m の厚さの第 1 酸化膜 4 2 を堆積する (図 1 5 (a) 参照) 。

【 0 0 8 2 】

次に、異方性ドライエッチングにより、第 1 酸化膜 4 2 を全面エッチバックし、メモリセル部 1 1 のコントロールゲート 1 8 とフローティングゲート 1 7 の両側、及びソースコンタクト部 1 2 のコントロールゲート 1 8 とフローティングゲート 1 7 の両側に、第 1 サイドウォール 4 0 を形成する (図 1 5 (b) 参照) 。

【0083】

次に、第1の実施の形態と同様に、メモリセル部11及びソースコンタクト部12を覆って、周辺トランジスタ部13にフォトレジスト36dのパターンを形成し、2層目ポリシリコン38をエッチングすることにより、周辺ゲート22を形成する（図16（c）参照）。

【0084】

次に、メモリセル部11、ソースコンタクト部12及び周辺トランジスタ部13の全面に、約50～200nmの厚さの第2酸化膜43を、LPCVD法により堆積する（図16（d）参照）。このとき、メモリセル部11のソース領域が、この第2酸化膜43により埋め込まれるように、隣接するトランジスタ26、30間のソース領域の幅、及び堆積する第2酸化膜43の膜厚を設定する。

【0085】

次に、異方性ドライエッチングにより、第2酸化膜43をエッチバックし、メモリセル部11の第1サイドウォール40、ソースコンタクト部12の第1サイドウォール40、及び周辺トランジスタ部13の周辺ゲート22の各側面に、第2サイドウォール41を形成する（図17（e）参照）。

【0086】

即ち、第1サイドウォール40と第2サイドウォール41を合わせて、メモリセル部11のソース領域が埋め込まれることになり、第1酸化膜42の膜厚は、この目的に合わせて設定される。

【0087】

次に、第1の実施の形態と同様に、周辺トランジスタ部13の所定の部分が開口したフォトレジスト36fを形成し、イオン注入法により不純物iを打ち込んで、第2サイドウォール41と素子分離酸化膜32に対し、自己整合的に、約 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度を持つ、周辺拡散層20を形成する（図17（f）参照）。

【0088】

Nチャネルトランジスタ及びPチャネルトランジスタのそれぞれに対し、この工程を設ける。Nチャネルトランジスタの場合はリン（P）又はヒ素（As）、

Pチャネルトランジスタの場合はホウ素（B）又はフッ化ホウ素（ BF_2 ）を、イオン注入する。

【0089】

次に、第2の実施の形態と同様に、サリサイドプロセスにより、メモリセル部11のソース拡散層16を除く、メモリセル部11のコントロールゲート18とドレイン拡散層14、ソースコンタクト部12のコントロールゲート18とドレイン拡散層14とソース拡散層16、及び周辺トランジスタ部13の周辺ゲート22と周辺拡散層20の各上面が、自己整合的にシリサイド化され、これら各上面にシリサイド膜31が形成される（図17（g）参照）。

【0090】

次に、第1の実施の形態と同様に、層間膜28の形成後、メモリセル部11のドレインコンタクト15、ソースコンタクト部12のソースコンタクト19、及び周辺トランジスタ部13の周辺コンタクト21を開口し、チタン（Ti）、窒化チタン（ TiN ）等のバリアメタルを形成して、タングステン（W）等を埋め込む。その後、アルミニウム（Al）等によるビット線BL、ソース線SL及び周辺配線34を形成する（図14参照）。

【0091】

このように、この第4の実施の形態においては、上記第3の実施の形態において得られる効果に加えて、設計の自由度が増大するという効果が得られる。

【0092】

即ち、周辺トランジスタ部13のサイドウォールとなる第2サイドウォール41とは別の第1サイドウォール40を、メモリセル部11に予め形成しておき、第1、第2サイドウォール40、41を合わせてソース領域に埋め込むので、ソース領域の幅が、周辺トランジスタの特性から決まる第2サイドウォール41の幅によって決定されるのではないからである。

【0093】

なお、メモリセル部11のトランジスタの2層目の第2のサイドウォール41を、周辺トランジスタ部13のトランジスタの1層目の第2サイドウォール41として、同時に形成しており、その際、ソース領域の露出していた部分も一緒に

埋め込むことで、幅の狭い部分をシリサイド化することがなくなるので、抵抗が不安定になることはない。

【0094】

このように、この発明によれば、フラッシュメモリ混載のLSIのシリサイドプロセスにおいて、メモリセル部11のソース拡散層をシリサイド化しないようにしたので、メモリセルのソース領域のシリサイド化が阻害されて、抵抗のばらつきをもたらしてしまったり、また、素子分離酸化膜及びトンネル酸化膜をエッチングした際に段差が生じて、この段差部を覆って形成されたシリサイド膜が断線し、断線による抵抗のばらつきが発生してしまうこともない。

【0095】

なお、上記実施の形態において示した各種処理方法や形成方法等は一例であって、これに限るものではなく、同様の作用や効果を得ることができるものを用いても良い。

【0096】

【発明の効果】

以上説明したように、この発明によれば、自己整合プロセスによりソース領域が形成されたメモリセル部を有する半導体記憶装置は、ソース領域の表面の一部に、ソース領域のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を有することになり、メモリセルのソース領域のシリサイド化が行われないので、シリサイド化が阻害されることによる抵抗のばらつきを無くすと共に、段差部でのシリサイド膜断線による抵抗のばらつきを発生させずに、小さなメモリセルを実現することができる。

【0097】

また、この発明に係る半導体記憶装置の製造方法により、上記半導体記憶装置を製造することができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施の形態に係る半導体記憶装置の一部を示す平面説明図である。

【図 2】

図 1 のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、C-C線、D-D線及びE-E線に沿う断面図である。

【図 3】

図 1 の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その 1）である。

【図 4】

図 1 の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その 2）である。

【図 5】

図 1 の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その 3）である。

【図 6】

図 1 の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その 4）である。

【図 7】

図 1 の半導体記憶装置の製造工程を説明するC-C線、D-D線及びE-E線に沿う断面図（その 5）である。

【図 8】

第 2 の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、図 2 と同様の断面図である。

【図 9】

図 8 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 1）である。

【図 1 0】

図 8 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 2）である。

【図 1 1】

第 3 の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト

部及び周辺トランジスタ部の構造を示す、図 2 と同様の断面図である。

【図 1 2】

図 1 1 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 1）である。

【図 1 3】

図 1 1 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 2）である。

【図 1 4】

第 4 の実施の形態にかかる半導体記憶装置のメモリセル部、ソースコンタクト部及び周辺トランジスタ部の構造を示す、図 2 と同様の断面図である。

【図 1 5】

図 1 4 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 1）である。

【図 1 6】

図 1 4 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 2）である。

【図 1 7】

図 1 4 の半導体記憶装置の製造工程を説明する、図 3 から図 7 と同様の断面図（その 3）である。

【図 1 8】

従来のフラッシュメモリセルアレイの等価回路図である。

【図 1 9】

図 1 8 のメモリセルの一部を示す平面説明図である。

【図 2 0】

フラッシュメモリの一般的な製造工程を説明する図 1 9 の A - A 線に沿う断面図及び B - B 線に沿う断面図である。

【符号の説明】

1 0 半導体記憶装置

1 1 メモリセル部

- 1 2 ソースコンタクト部
- 1 3 周辺トランジスタ部
- 1 4 ドレイン拡散層
- 1 5 ドレインコンタクト
- 1 6 ソース拡散層
- 1 7 フローティングゲート
- 1 8 コントロールゲート
- 1 9 ソースコンタクト
- 2 0 周辺拡散層
- 2 1 周辺コンタクト
- 2 2 周辺ゲート
- 2 3 シリコン基板
- 2 4 トンネル酸化膜
- 2 5 容量絶縁膜
- 2 6, 3 3 トランジスタ
- 2 7 酸化膜
- 2 8 層間膜
- 2 9 積層部
- 3 0 サイドウォール
- 3 1 シリサイド膜
- 3 2 素子分離酸化膜
- 3 4 周辺配線
- 3 5 1層目ポリシリコン
- 3 6 a ~ 3 6 g フォトレジスト
- 3 7 周辺ゲート酸化膜
- 3 8 2層目ポリシリコン
- 3 9 周辺LDD拡散層
- 4 0 第1サイドウォール
- 4 1 第2サイドウォール

4 2 第 1 酸化膜

4 3 第 2 酸化膜

W L ワード線

B L ビット線

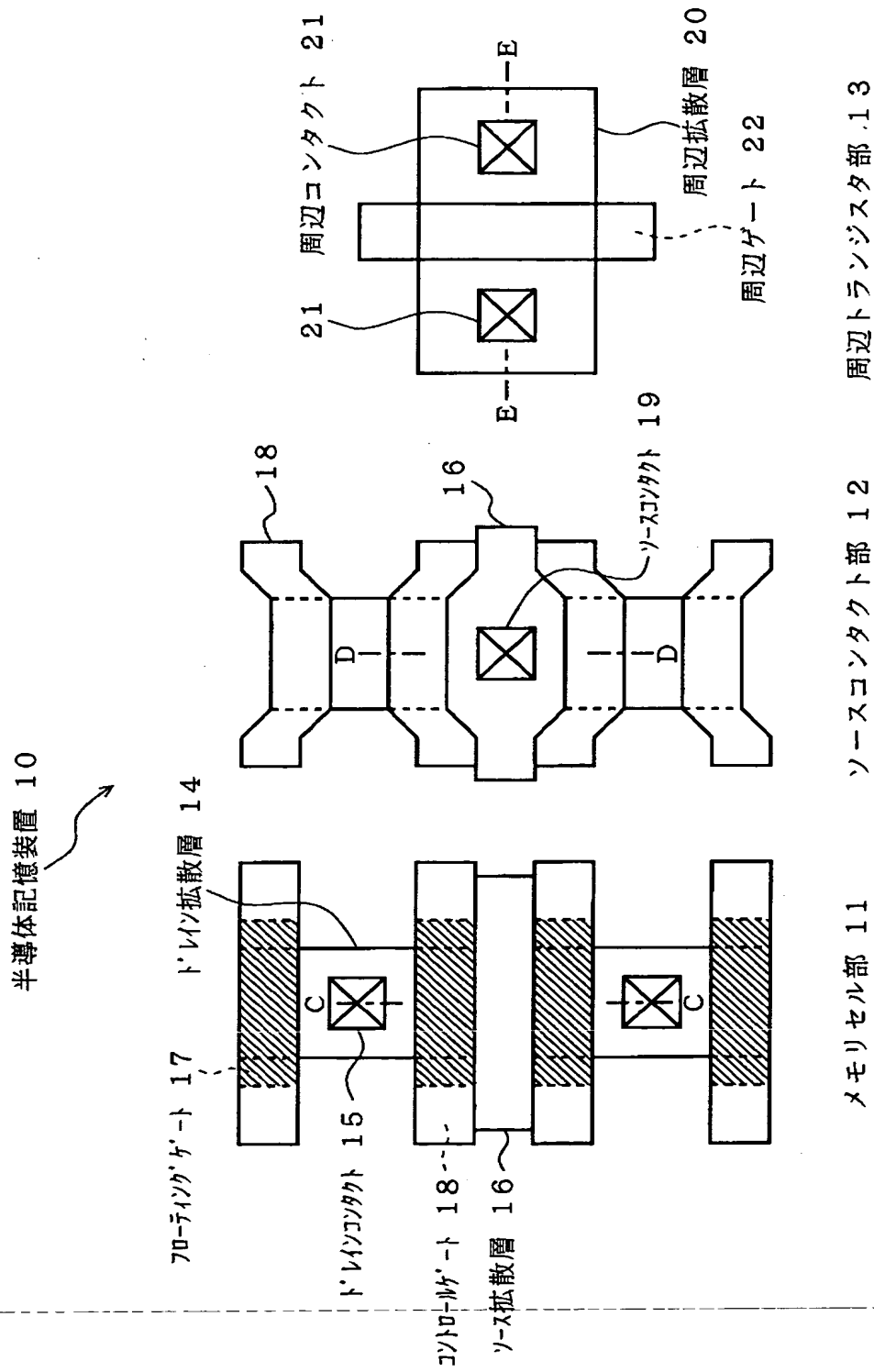
S L ソース線

i 不純物

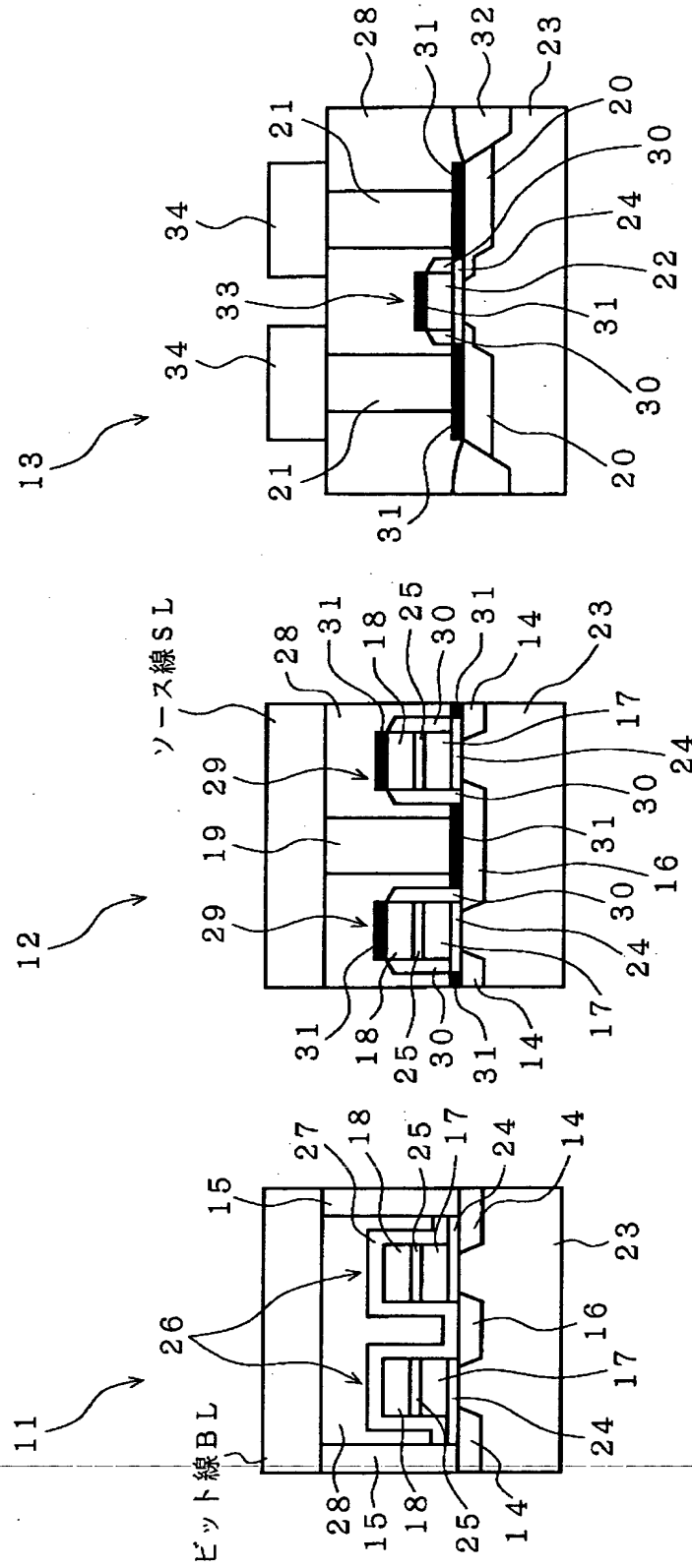
【書類名】

図面

【図 1】

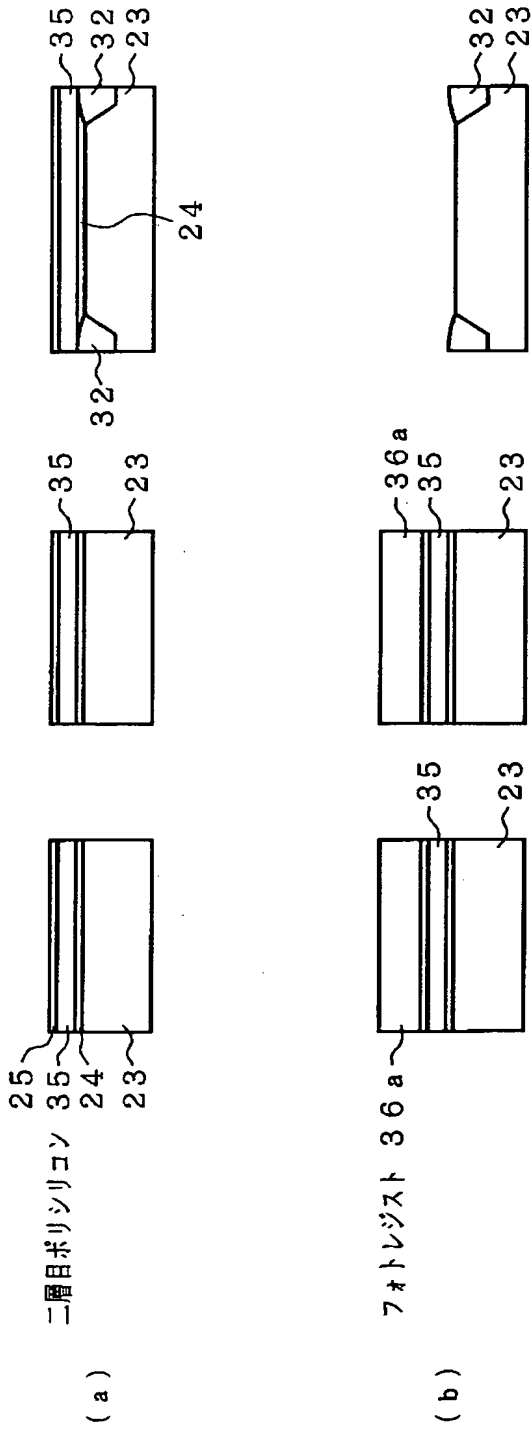


【図2】

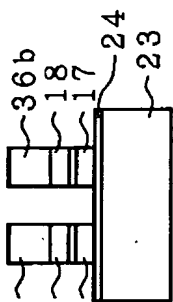
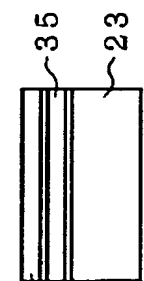
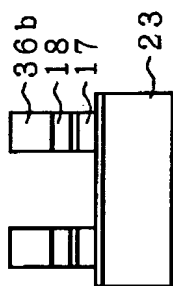
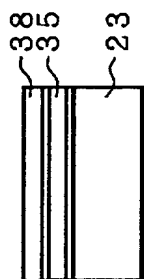
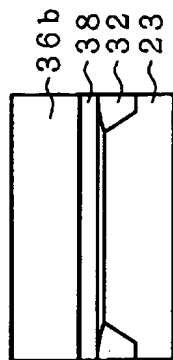
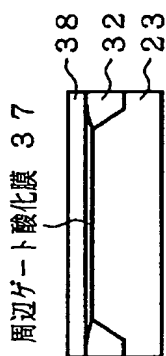


- | | | | |
|----|-----------|----|---------|
| 15 | ドレインコンタクト | 29 | 積層部 |
| 19 | ソースコンタクト | 30 | サイドウォール |
| 23 | シリコン基板 | 31 | シリサイド膜 |
| 24 | トンネル酸化膜 | 32 | 素子分離酸化膜 |
| 25 | 容量絶縁膜 | 33 | トランジスタ |
| 26 | 容量絶縁膜 | 34 | 周辺配線 |
| 27 | 酸化膜 | | |
| 28 | 層間膜 | | |

【図 3】



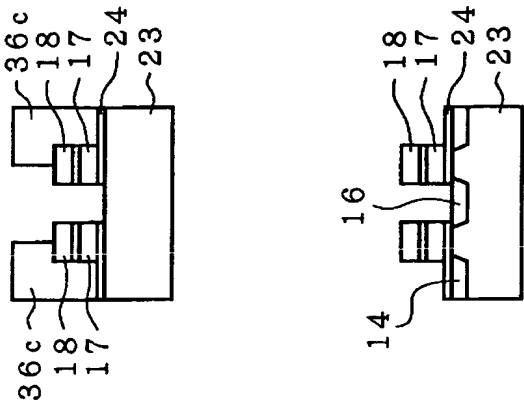
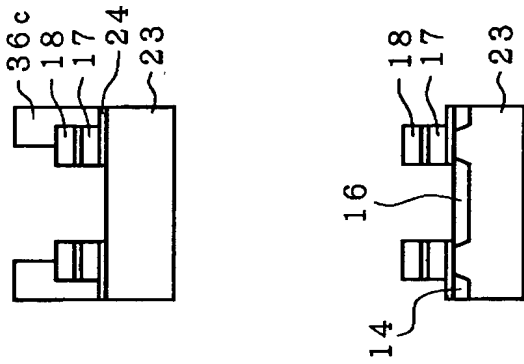
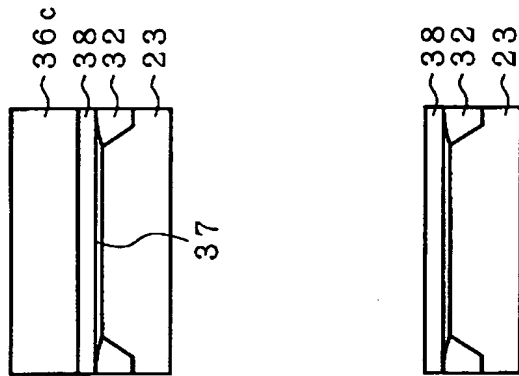
【図 4】



(c)

(d)

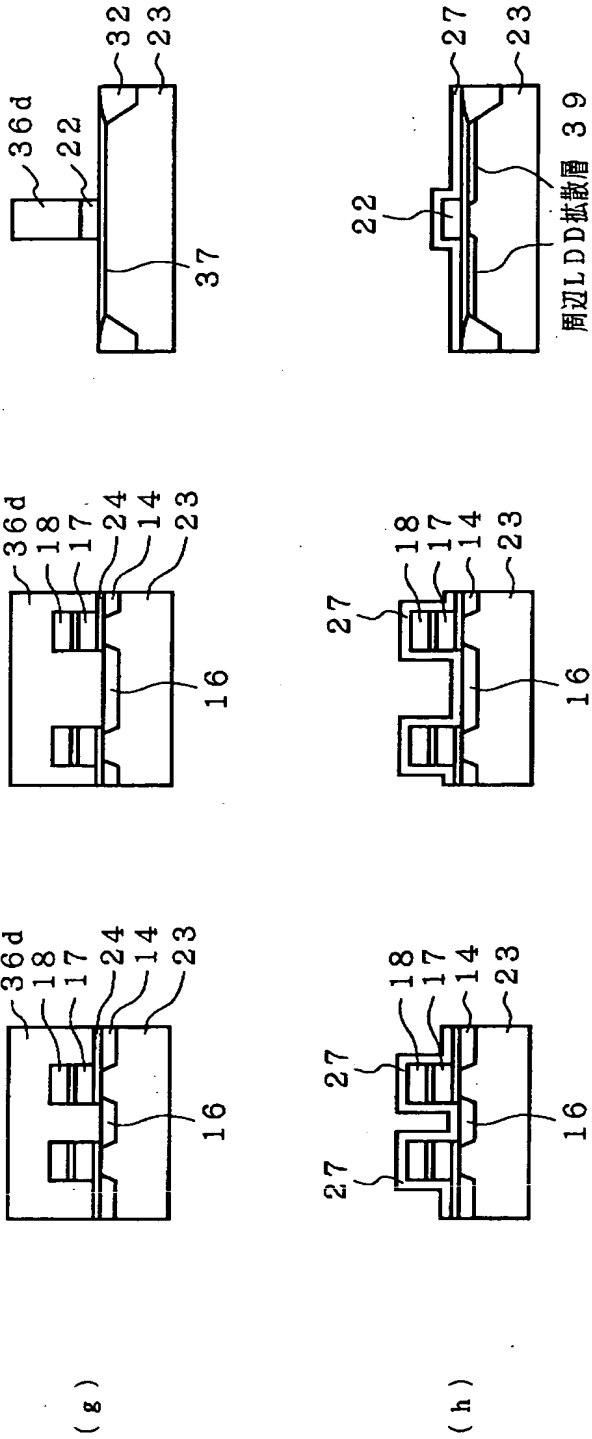
【図 5】



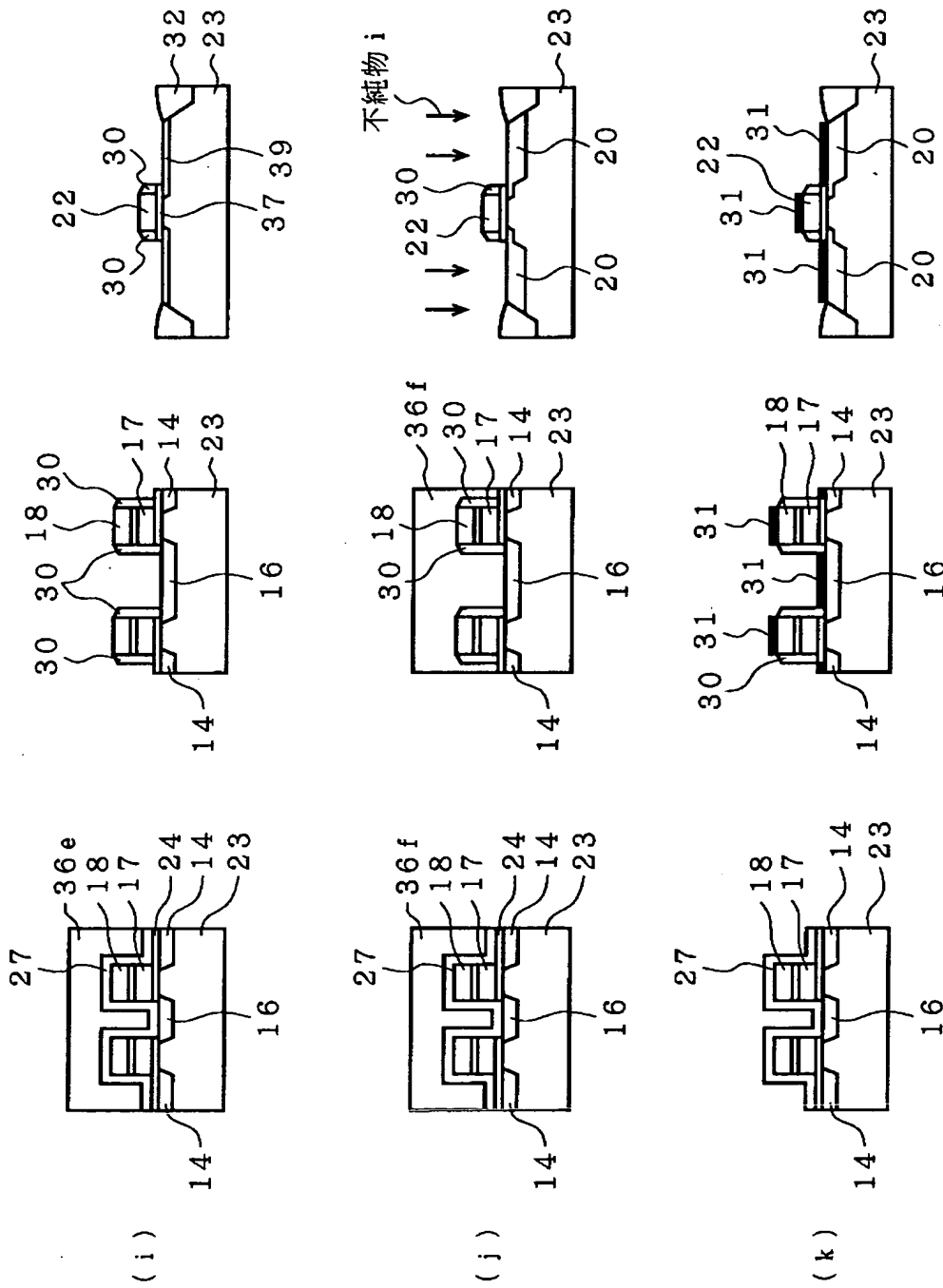
(e)

(f)

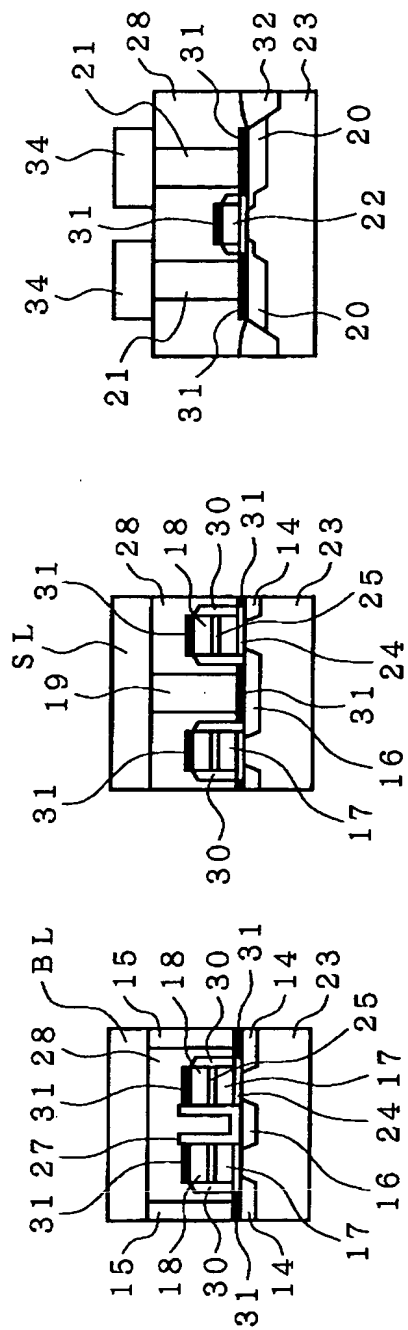
【図 6】



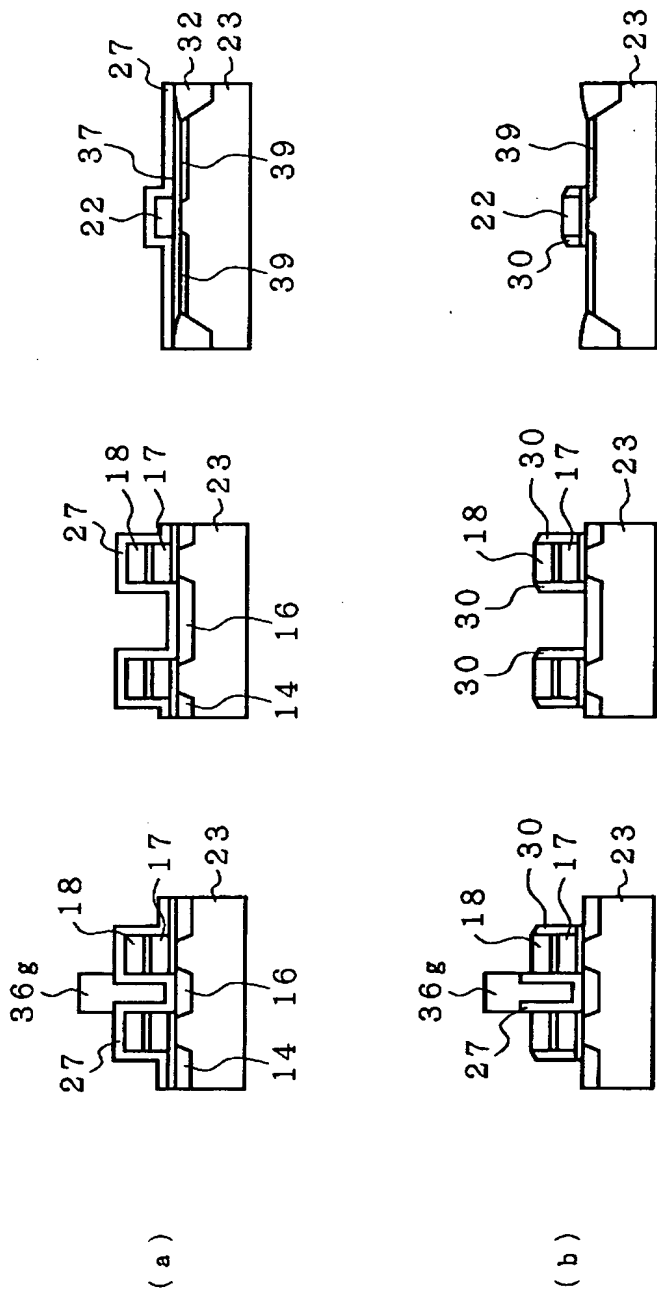
【图 7】



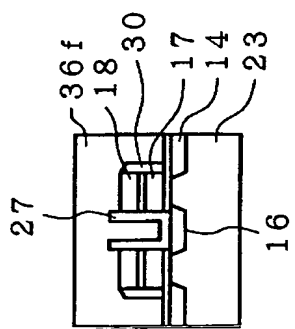
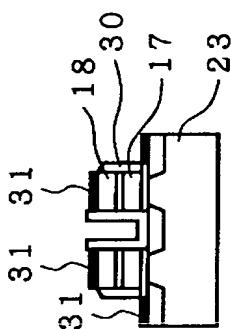
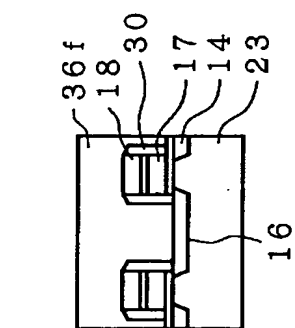
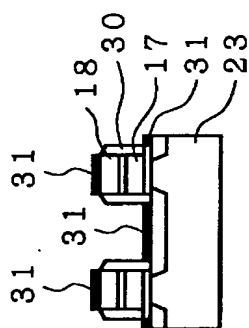
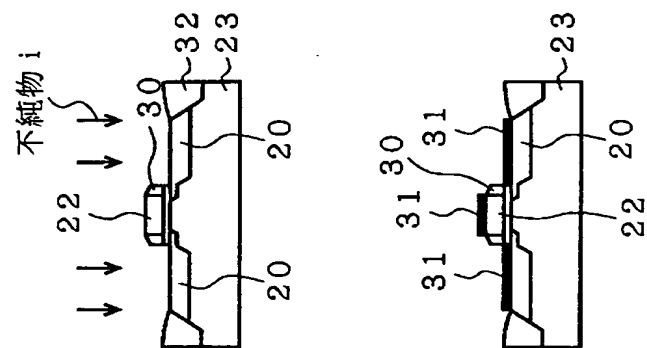
【図8】



【図 9】



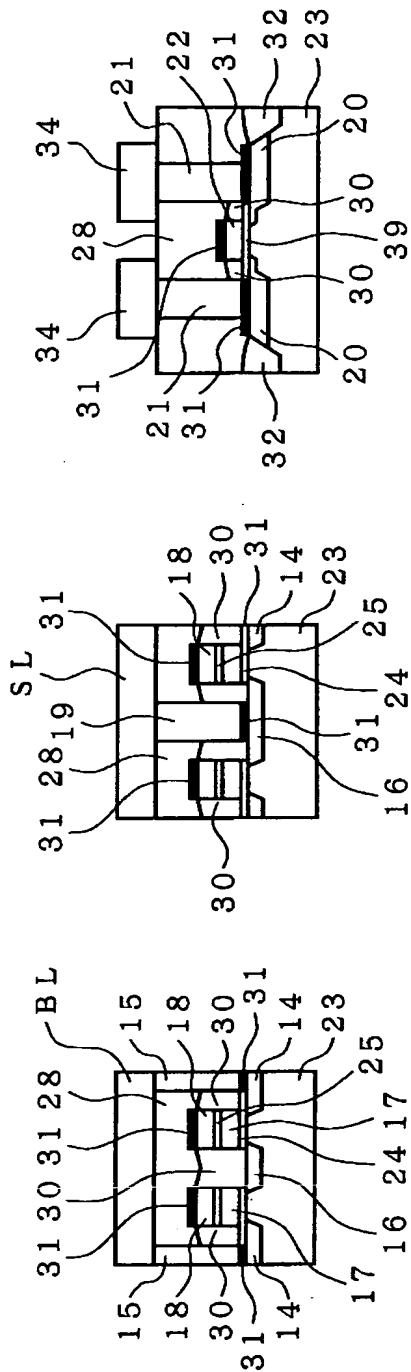
【圖 10】



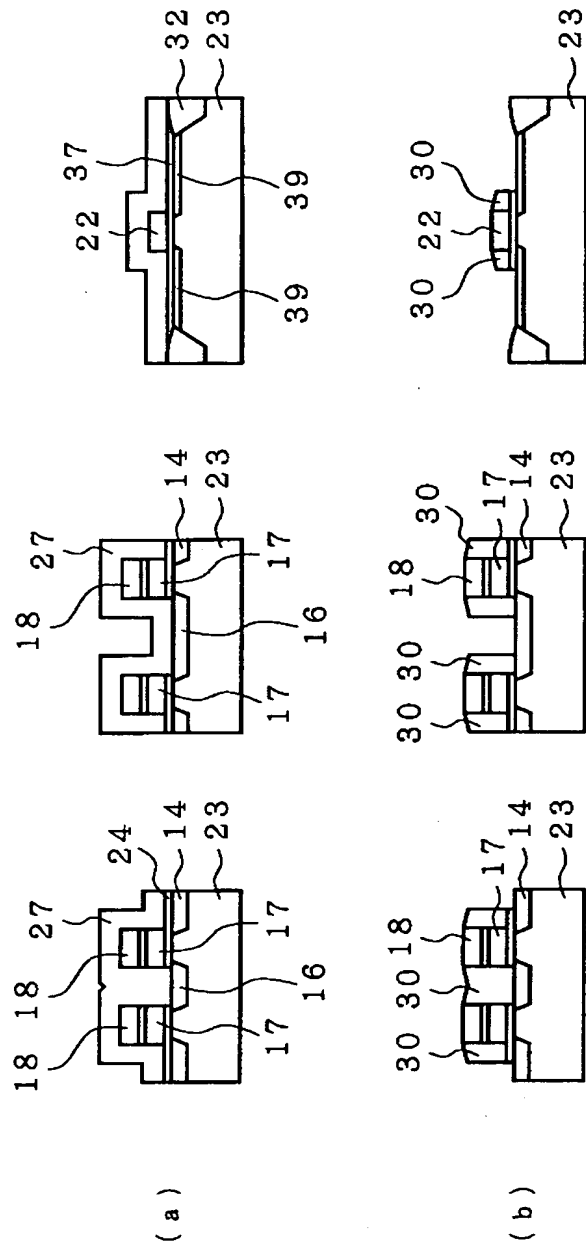
(c)

(d)

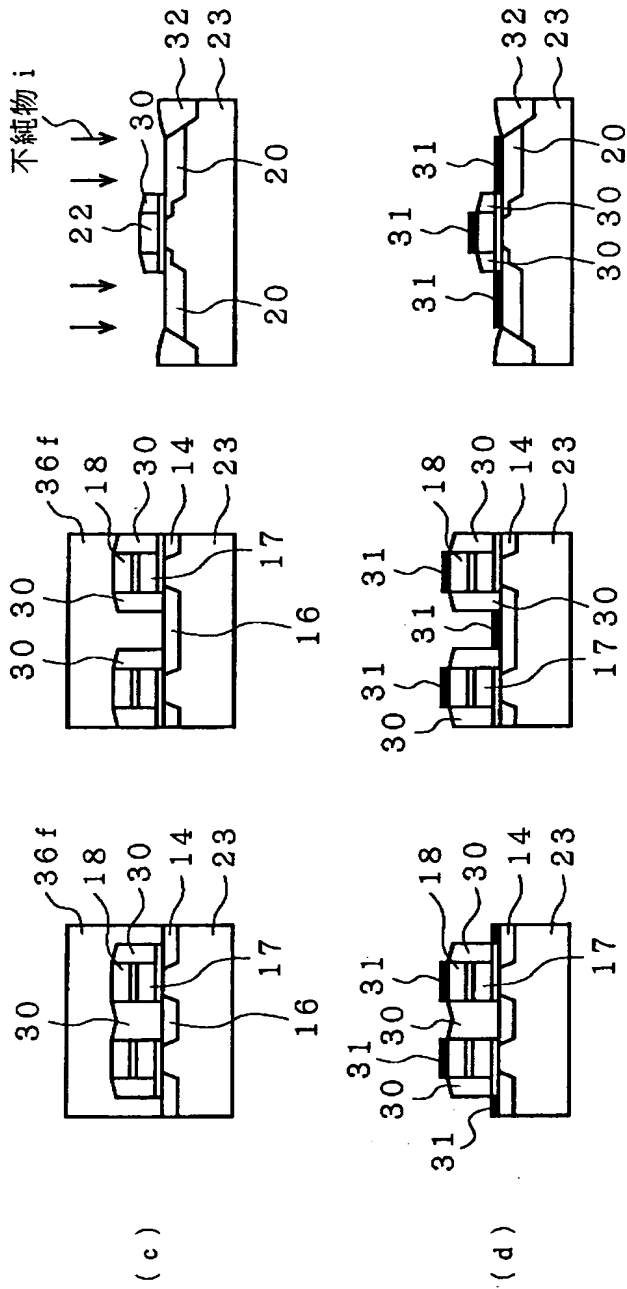
【図 11】



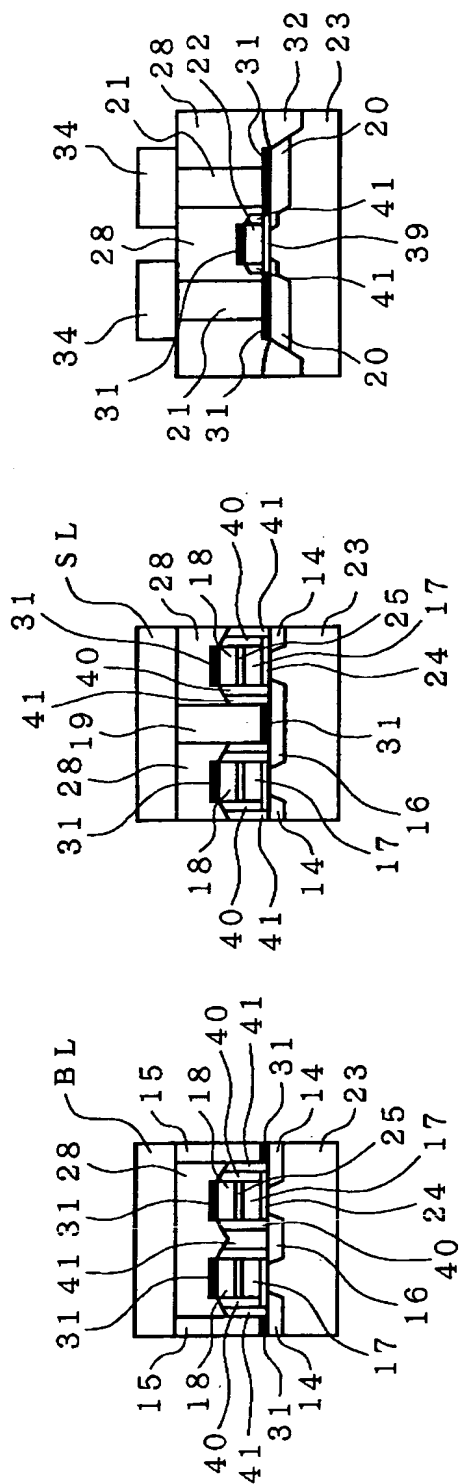
【図 12】



【図13】

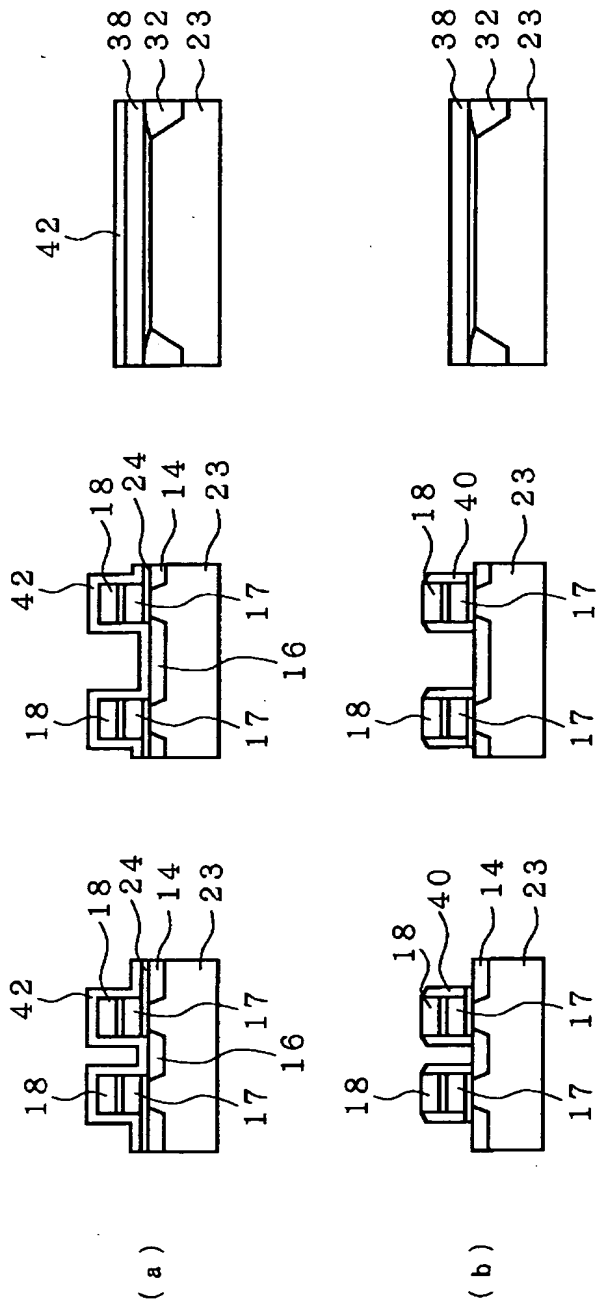


【图 14】

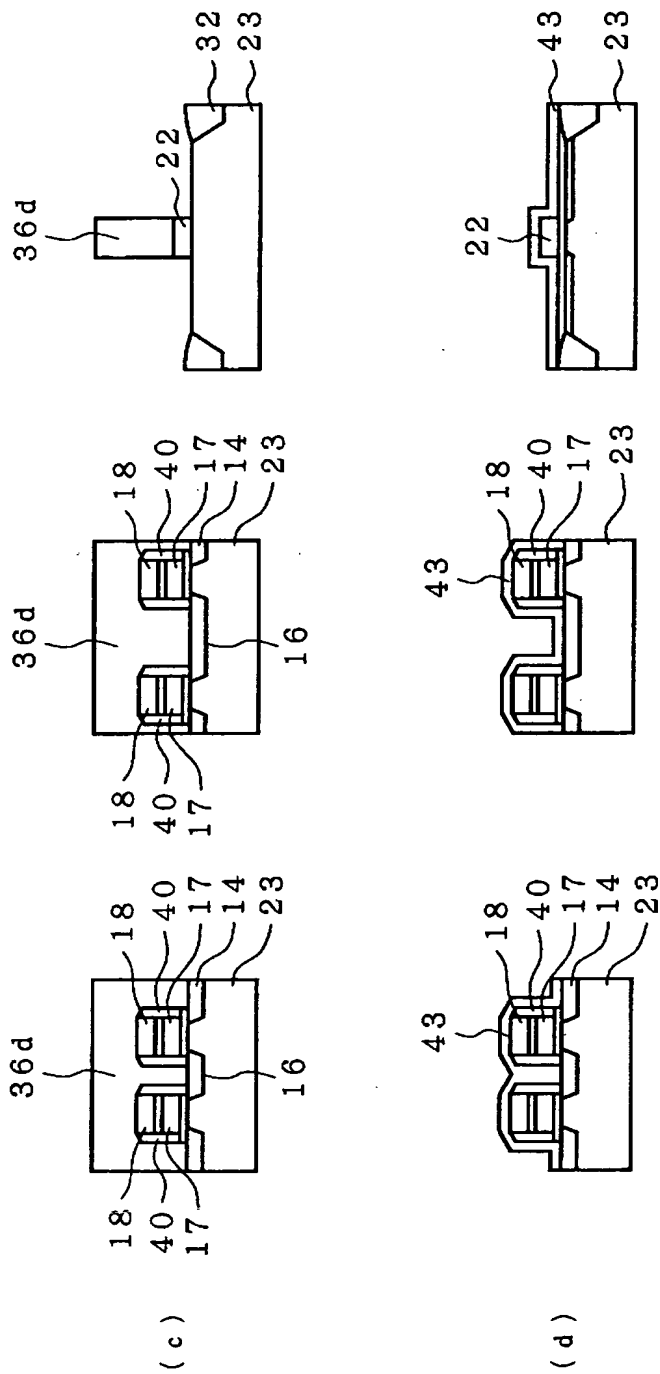


40 第1サイドウォール
41 第2サイドウォール
42 第1酸化膜
43 第2酸化膜

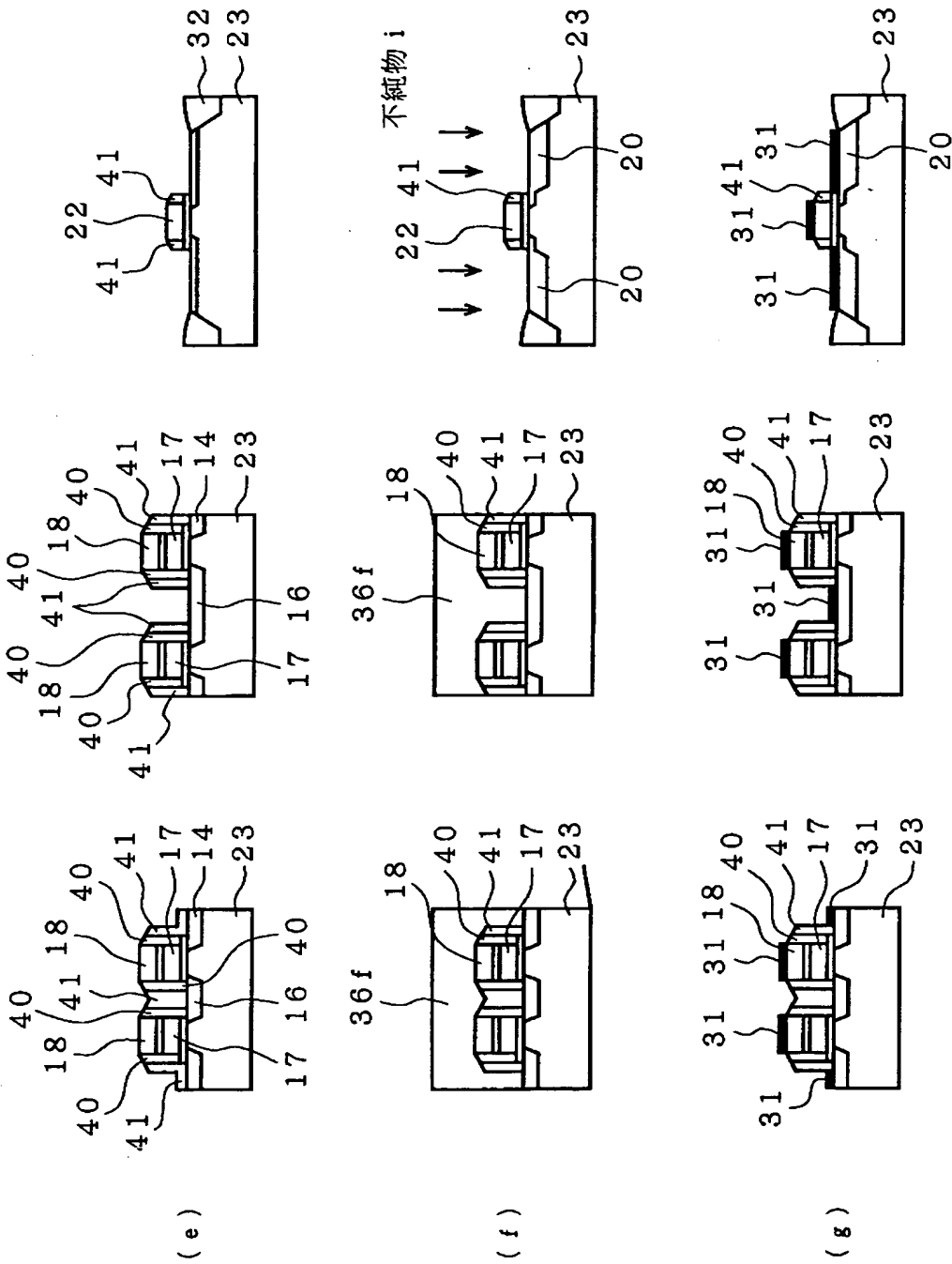
【図 15】



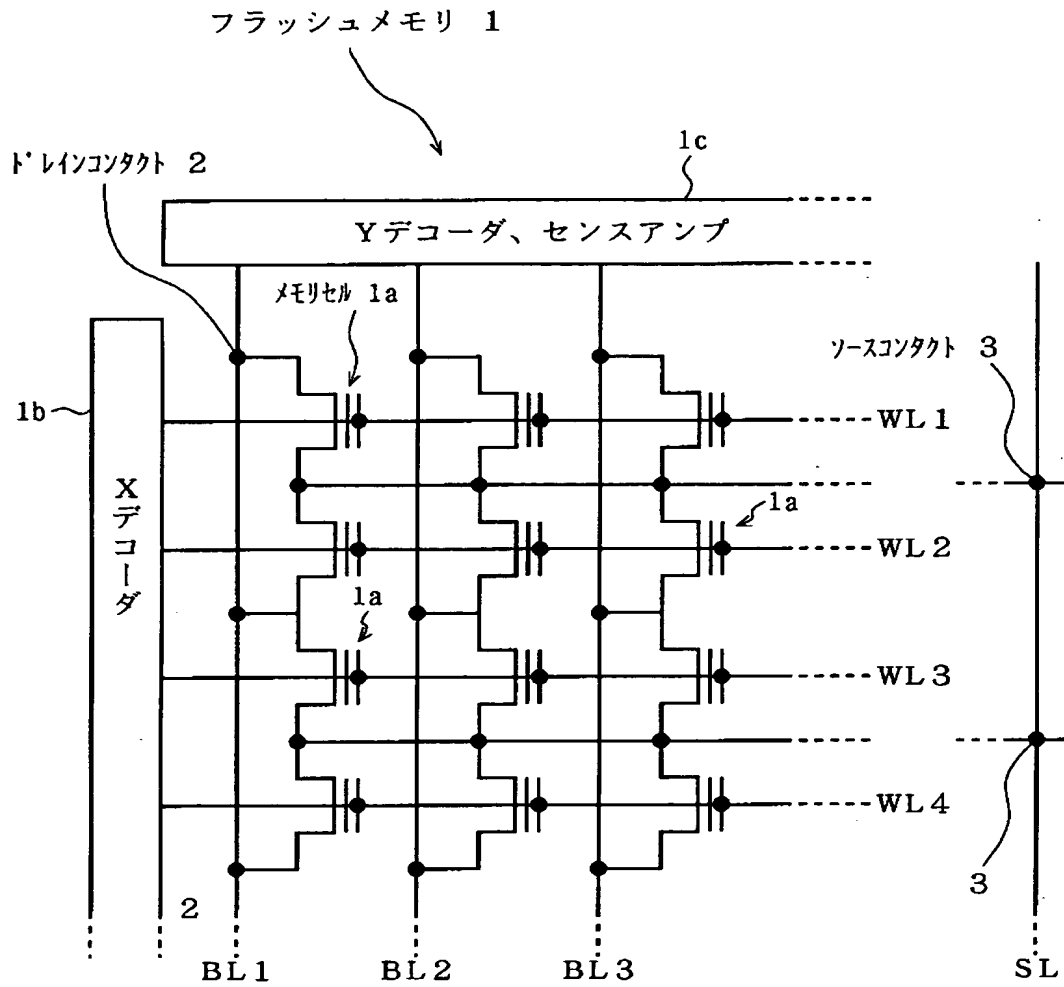
【図16】



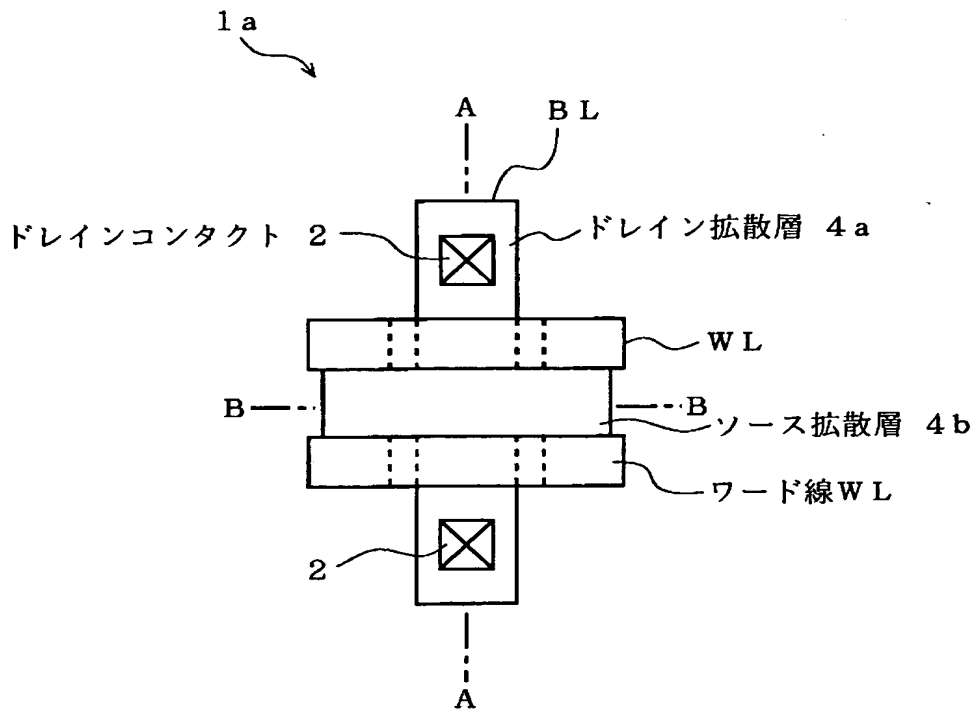
【図17】



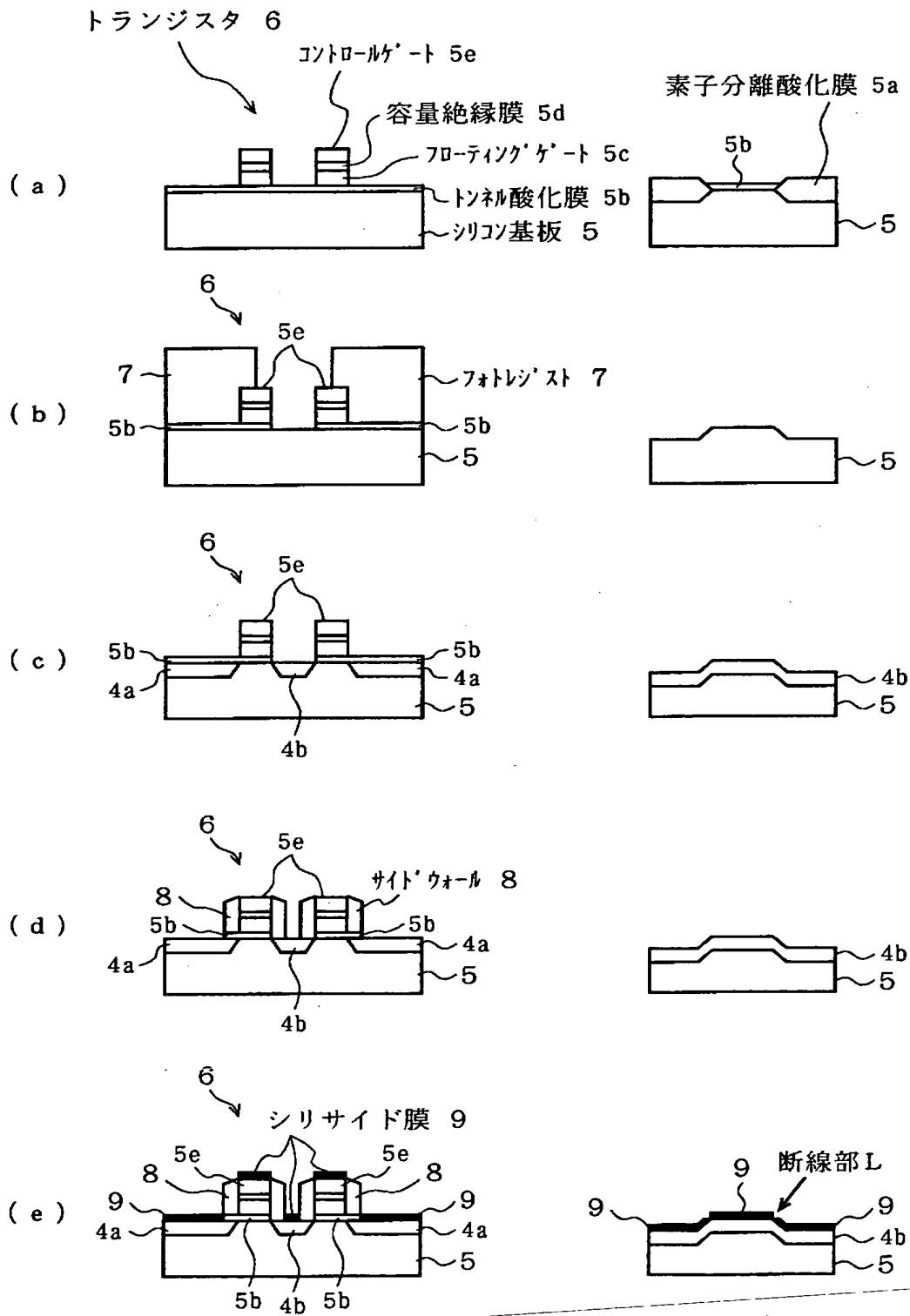
【図 18】



【図19】



【図 20】



【書類名】 要約書

【要約】

【課題】 メモリセルのソース領域のシリサイド化を行わないことで、シリサイド化が阻害されることによる抵抗のばらつきを無くすと共に、段差部にシリサイド膜が形成されることを防止して、シリサイド膜断線による抵抗のばらつきを発生させない半導体記憶装置およびその製造方法を提供する。

【解決手段】 自己整合プロセスによりソース領域が形成されたメモリセル部 1 1 を有する半導体記憶装置であって、ソース拡散層 1 6 の表面の一部に、ソース拡散層 1 6 のシリサイド化による抵抗のばらつきを発生させないシリサイド化阻止部を有する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社